

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001093820 A**

(43) Date of publication of application: **06.04.01**

(51) Int. Cl.

H01L 21/027
G03F 1/08
G03F 9/00
H01L 21/68

(21) Application number: **11271331**

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: **24.09.99**

(72) Inventor: **YOKOIE NOBORU**

(54) **MARK, ALIGNMENT MARK, ALIGNMENT
DISCREPNACY MEASUREMENT MARK AND
SEMICONDUCTOR WAFER**

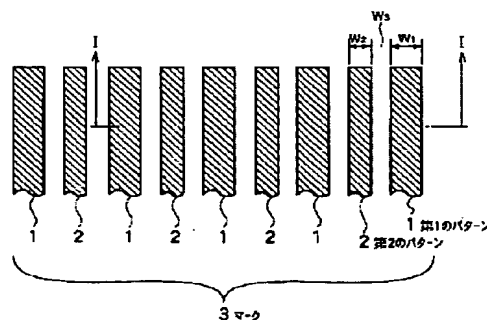
and the 2nd patterns satisfy the interference
conditions of a light which can be recognized by the
mark detector.

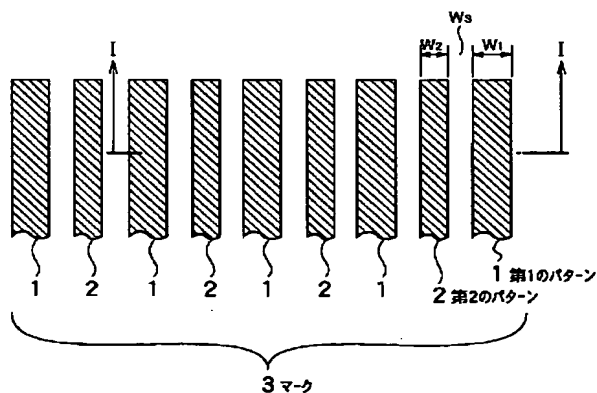
(57) Abstract:

COPYRIGHT: (C)2001,JPO

PROBLEM TO BE SOLVED: To provide a mark which
can be recognized by the detector of an optical
system, even if the manufacturing process, etc., of
a semiconductor device are varied and hence even if
interference conditions of a light are changed.

SOLUTION: A mark 3 is composed of a plurality of
1st patterns which have pairs of parallel sides with
spacings W_1 which are smaller than the resolution
of a mark detector therebetween and a plurality of
2nd patterns 2 which have pairs of parallel sides
with spacings W_2 which are smaller than the
resolution of the mark detector and different from
the spacings W_1 therebetween and are arranged, so
as to have one of each pair of sides close to one of
each pair of sides of the 1st pattern 1 with a
spacing W_s smaller than the resolution of the mark
detector therebetween. With this constitution, at
least one of the patterns between the 1st patterns





【特許請求の範囲】

【請求項 1】 マーク検知器の分解能以下の幅の平行な一対の辺を有する四角形であり、前記辺が対向するように複数個並べられている第 1 のパターンと、前記分解能以下で前記幅とは異なる幅の平行な一対の辺を有する四角形であり、該一対の辺の 1 辺が前記第 1 のパターンの前記一対の辺の 1 辺と前記分解能以下の間隔をおいて配置され、前記第 1 のパターンと隣り合うように交互に並んで配置されている複数の第 2 のパターンとで構成されることを特徴とするマーク。

【請求項 2】 前記第 1 のパターンの前記一対の辺が、前記分解能以下の長さにかつ前記分解能以下の間隔をあけて分割されていることを特徴とする請求項 1 に記載のマーク。

【請求項 3】 前記第 2 のパターンの前記一対の辺が、前記分解能以下の長さにかつ前記分解能以下の間隔をあけて分割されていることを特徴とする請求項 1 又は請求項 2 に記載のマーク。

【請求項 4】 マーク検知器の分解能以下の幅の平行な一対の辺を有する四角形であり、前記辺が対向するように複数個並べられている第 1 のパターンと、前記分解能以下の幅で、前記分解能以下の長さにかつ前記分解能以下の間隔をあけて分割された平行な一対の辺を有する四角形であり、該一対の辺の 1 辺が前記第 1 のパターンの前記一対の辺の 1 辺と前記分解能以下の間隔をおいて配置され、前記第 1 のパターンと隣り合うように交互に並んで配置されている複数の第 2 のパターンとで構成されることを特徴とするマーク。

【請求項 5】 前記第 1 のパターンの前記一対の辺の両辺の長さ、前記第 2 のパターンの前記一対の辺の両辺の長さが等しいことを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載のマーク。

【請求項 6】 前記複数の第 1 のパターンの中心と、前記複数の第 2 のパターンの中心とが一致するように配置されていることを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載のマーク。

【請求項 7】 複数の請求項 1 に記載のマークが等間隔で平行に並べられていることを特徴とするアライメントマーク。

【請求項 8】 4 個の請求項 1 に記載のマークが正方形の 4 辺に沿って並べられていることを特徴とする合わせずれ測定用マーク。

【請求項 9】 ガラス基板と、前記ガラス基板上に設けられ、90度回転した位置関係にある 2 つの請求項 7 に記載のアライメントマークとで構成されることを特徴とするフォトマスク。

【請求項 10】 ガラス基板と、前記ガラス基板上に設けられる 4 つの請求項 8 に記載の合わせずれ測定用マークとで構成されることを特徴とするフォトマスク。

【請求項 11】 ガラス基板と、

前記ガラス基板上に設けられ、90度回転した位置関係にある 2 つの請求項 7 に記載のアライメントマークと、前記ガラス基板上に設けられる 4 つの請求項 8 に記載の合わせずれ測定用マークとで構成されることを特徴とするフォトマスク。

【請求項 12】 半導体基板と、

前記半導体基板上に設けられ、90度回転した位置関係にある複数の請求項 7 に記載のアライメントマークとで構成されることを特徴とする半導体ウェーハ。

【請求項 13】 半導体基板と、

前記半導体基板上に設けられる 4 つ以上の請求項 8 に記載の合わせずれ測定用マークとで構成されることを特徴とする半導体ウェーハ。

【請求項 14】 半導体基板と、

前記半導体基板上に設けられ、90度回転した位置関係にある複数の請求項 7 に記載のアライメントマークと、前記半導体基板上に設けられる 4 つ以上の請求項 8 に記載の合わせずれ測定用マークとで構成されることを特徴とする半導体ウェーハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、広範囲な可視光帯域にわたり良好に認識できるマークに係り、特に、半導体装置の製造に使用する複数枚のパターンの位置合わせ、及び、パターン間の合わせずれ確認に使用するアライメントマークと合わせずれ測定用マーク、さらに、これらのマークを有するフォトマスクと半導体ウェーハに関するものである。

【0002】

【従来の技術】図 20 は半導体装置の製造の際に複数枚のパターンの位置合わせに使用する従来のアライメントマークの構成図である。図 20 (a) はアライメントマーク 65 の全景であり、(b) はアライメントマーク 65 を構成するマーク 63 の拡大図である。アライメントマーク 65 は、図 20 (a) のようにマーク領域 4 の内側の 9 個のマーク 63 で構成されている。これら 9 個のマーク 63 は長方形でこの長辺が平行で等間隔になるように並べられ、短辺が一直線に並ぶように配置されている。マーク 63 の短辺の長さは $2\mu\text{m}$ から $6\mu\text{m}$ 程度の大きさである。マーク 63 は、図 20 (b) のように 5 つの長方形のパターン 61 で構成されている。これら 5 つのパターン 61 は長辺が平行で等間隔になるように並べられ、短辺が一直線に並ぶように配置されている。パターン 61 の短辺の長さ $W1$ はパターン 61 の間隔 Ws の大きさとほぼ等しいので、短辺の長さ $W1$ は $0.2\mu\text{m}$ から $0.6\mu\text{m}$ 程度の大きさである。

【0003】この $0.2\mu\text{m}$ から $0.6\mu\text{m}$ 程度の大きさは光学系のマーク検知器では認識できず、パターン 61 は個々のパターンとしては認識されないが、1 つのマ

ーク 63 としては認識される。このように、マーク 63 をパターン 61 で構成するのは、半導体装置の微細化が進み、上記パターン 61 の短辺の長さ程度の幅の溝内の埋め込みや、CMP に代表される平坦化技術を適用する場合に、マーク 63 の大きさの溝をそのままマークとするとこのマークの溝は埋め込みや平坦化には大きすぎてマーク上部に窪みが生じ、窪みの中にパーティクルが溜まるのを防ぐためである。

【0004】しかし、パターン 61 を有するマーク 63 にあつては、パーティクルの低減は可能であつたが、た

【0005】

【発明が解決しようとする課題】発明者らは、この光学系のマーク検知器で認識できる場合とできない場合を詳細に比較し、以下に示す認識できない理由を明らかにした。

【0006】図 21 は、パターン 61 を有するマーク 63 が、光学系のマーク検知器では認識できない理由を説明する図である。図 21 は、半導体装置が形成される半導体ウェーハ上に設けられたアライメントマーク 65 のマーク 63 の断面図である。マーク 63 は、半導体ウェーハである半導体基板 8 と、この半導体基板 8 上に形成されるシリコン窒化膜 9 と、このシリコン窒化膜 9 を貫いて半導体基板 8 に形成される 5 つの溝状のパターン 61 で構成されている。

【0007】図 21 (a) は、パターン 61 を有するマーク 63 が光学系のマーク検知器で認識できる場合を現している。光学系の認識装置で認識できるとは、検出可能な波長の光の定在波 10 の波面 11 がパターン 61 部とそれ以外の部分で一致せずに、互いの光が干渉することで弱まり、光の弱まらない他の部分に比較して識別可能になることである。

【0008】図 21 (b) は、パターン 61 を有するマーク 63 が光学系のマーク検知器で認識できない場合を現している。マーク 63 の形状ではシリコン窒化膜 9 の膜厚のみが図 21 (a) と異なり厚くなっている。このことにより、検出可能な波長の光の定在波 10 の波面 11 がパターン 61 部とそれ以外の部分で一致して、互いの光が干渉することで強まり、同様に光を強め合う他の部分に比較して識別が困難になる。

【0009】図 21 (c) も、パターン 61 を有するマーク 63 が光学系のマーク検知器で認識できない場合を現している。マーク 63 の形状ではパターン 61 の半導体基板 8 内の溝の深さ D_c のみが図 21 (a) の溝の深さ D_a と異なり深くくなっている。このことにより、検出可能な波長の光の定在波 10 の波面 11 がパターン 61 部とそれ以外の部分で一致して、互いの光が干渉することで強まり、同様に光を強め合う他の部分に比較して識別が困難になる。

【0010】以上からパターン 61 を有するマーク 63 が、光学系のマーク検知器で認識できないのは、半導体装置の製造工程の変動によりシリコン窒化膜 9 の膜厚や溝の深さが変動し、光の干渉条件が変化するためと考えられた。

【0011】本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、半導体装置の製造工程等が変動して、光の干渉条件が変化しても、光学系のマーク検知器で認識可能なマークを提供することにある。

【0012】本発明の他の目的は、半導体装置の製造工程等が変動して、光の干渉条件が変化しても、光学系のマーク検知器で認識可能なアライメントマークを提供することにある。

【0013】本発明の他の目的は、半導体装置の製造工程等が変動して、光の干渉条件が変化しても、光学系のマーク検知器で認識可能な合わせずれ測定用マークを提供することにある。

【0014】本発明の他の目的は、半導体装置の製造工程等が変動して、光の干渉条件が変化しても、光学系のマーク検知器で認識可能なフォトマスクを提供することにある。

【0015】最後に、本発明の他の目的は、半導体装置の製造工程等が変動して、光の干渉条件が変化しても、光学系のマーク検知器で認識可能な半導体ウェーハを提供することにある。

【0016】

【課題を解決するための手段】さらに、発明者らは、半導体装置の製造工程等の変動と光の干渉条件に関し詳細な検討を行った。図 22 はパターン 61 の幅 W_1 とパターンの深さの関係と、パターンの幅 W_1 とマーク検出信号強度の関係を示すグラフである。これより、パターンの幅 W_1 が大きくなるほどパターンの深さが深くなる傾向があることがわかった。この傾向は、パターンの溝を形成するためのドライエッチングのマイクロローディング効果によるものと考えられた。この傾向により、一定条件下でドライエッチングを行うと、パターンの幅 W_1 に応じてパターンの深さが変化し光の干渉条件が変わりマーク検出信号強度が変化することがわかった。

【0017】以上目的を達成するために、本発明の第 1 の特徴は、マーク検知器の分解能以下の幅の平行な一対の辺を有する四角形でありその辺が対向するように複数個並べられている第 1 のパターンと、マーク検知器の分解能以下で第 1 のパターンの平行な一対の辺の幅とは異なる幅の平行な一対の辺を有する四角形であり、この一対の辺の 1 辺が第 1 のパターンの一対の辺の 1 辺とマーク検知器の分解能以下の間隔をおいて配置され、第 1 のパターンと隣り合うように交互に並んで配置されている複数の第 2 のパターンとで構成されるマークであることである。ここで、「マーク検知器の分解能」とは、 $\lambda/$

($NA(1+s)$) (ここで λ : 検出光の波長、 NA : 検出器の開口数、 s : 検出器の部分コヒーレンス・ファクタ) で表される大きさのことである。具体的に半導体装置の製造に使用するマーク検知器の分解能はサブミクロンのオーダーの大きさになる。このことにより、半導体装置の製造工程の変動によりシリコン窒化膜等の膜厚や溝の深さ等が変動しても、第1のパターン或いは第2のパターンのどちらかが、光学系のマーク検知器で検知されるので、マーク検出信号強度の最小値が小さくなくにくい。

【0018】本発明の第1の特徴は、第1のパターンの一対の辺が、マーク検知器の分解能以下の長さにマーク検知器の分解能以下の間隔をあけて分割されていることにより効果的である。また、本発明の第1の特徴は、第2のパターンの一対の辺が、マーク検知器の分解能以下の長さにマーク検知器の分解能以下の間隔をあけて分割されていることにより効果的である。このことにより、半導体ウェーハにレジストやスピニングガラスを塗布する際に、分割された間隔の上をレジストやスピニングガラスが流動し、塗布膜厚を均一にすることができる。

【0019】本発明の第1の特徴は、マーク検知器の分解能以下の幅の平行な一対の辺を有する四角形であり、この辺が対向するように複数個並べられている第1のパターンと、マーク検知器の分解能以下の幅で、マーク検知器の分解能以下の長さにマーク検知器の分解能以下の間隔をあけて分割された平行な一対の辺を有する四角形でありこの一対の辺の1辺が第1のパターンの一対の辺の1辺とマーク検知器の分解能以下の間隔において配置され第1のパターンと隣り合うように交互に並んで配置されている複数の第2のパターンとで構成されることによっても同様の効果を得ることができる。このことにより、第1のパターン或いは第2のパターンのどちらかが、光学系のマーク検知器で検知されるので、マーク検出信号強度の最小値が小さくなくにくい。

【0020】本発明の第1の特徴は、第1のパターンの一対の辺の両辺の長さ、第2のパターンの一対の辺の両辺の長さが等しいことにより効果的である。このことにより、両パターンの両辺の中心を通り両辺に垂直な線が共通の中心線となるので、マークが、マーク検出装置には第1のパターンのみが認識できたり第2のパターンのみが認識されたりすることになっても、中心線を用いてアライメントをするのであれば、どちらが認識されようとも同じ位置に位置合わせができる。

【0021】本発明の第1の特徴は、複数の第1のパターンの全体の中心と、複数の第2のパターンの全体の中心とが一致するように配置されていることにより効果的である。このことにより、マークが、マーク検出装置には第1のパターンのみが認識できたり第2のパターンのみが認識されたりすることになるが、第1のパターンの中心と第2のパターンの中心とは一致しているので、中心を用いてアライメントをするのであれば、どちらが認

識されようとも同じ位置に位置合わせができる。

【0022】本発明の第2の特徴は、複数の本発明の第1の特徴であるマークが等間隔で平行に並べられているアライメントマークであることである。このことにより、半導体装置等の製造工程の変動によりシリコン窒化膜等の膜厚や溝の深さ等が変動しても、第1のパターン或いは第2のパターンのどちらかが、光学系のマーク検知器で検知されるので、マーク検出信号強度の最小値が小さくなくにくいアライメントマークを提供できる。

【0023】本発明の第3の特徴は、4個の本発明の第1の特徴であるマークが正方形の4辺に沿って並べられている合わせずれ測定用マークであることである。このことにより、本発明の第2の特徴と同様にマーク検出信号強度の最小値が小さくなくにくい合わせずれ測定用マークを提供できる。

【0024】本発明の第4の特徴は、ガラス基板と、このガラス基板上に設けられ90度回転した位置関係にある2つの本発明の第2の特徴であるアライメントマークとで構成されるフォトマスクであることである。また、本発明の第4の特徴は、ガラス基板と、このガラス基板上に設けられる4つの本発明の第3の特徴である合わせずれ測定用マークとで構成されることによっても同様の効果を得ることができる。さらに、本発明の第4の特徴は、ガラス基板と、このガラス基板上に設けられ90度回転した位置関係にある2つの本発明の第2の特徴であるアライメントマークと、ガラス基板上に設けられる4つの本発明の第3の特徴である合わせずれ測定用マークとで構成されることによっても同様の効果を得ることができる。これらのことにより、半導体装置等の製造工程の変動によりシリコン窒化膜等の膜厚や溝の深さ等が変動しても、第1のパターン或いは第2のパターンのどちらかが、光学系のマーク検知器で検知されるので、マーク検出信号強度の最小値が小さくなくにくいアライメントマークと合わせずれ測定用マークを有するフォトマスクを提供できる。

【0025】本発明の第5の特徴は、半導体基板と、この半導体基板上に設けられ90度回転した位置関係にある複数の本発明の第2の特徴であるアライメントマークとで構成される半導体ウェーハであることである。また、本発明の第5の特徴は、半導体基板と、この半導体基板上に設けられる4つ以上の本発明の第3の特徴である合わせずれ測定用マークとで構成されることによっても同様の効果を得ることができる。さらに、本発明の第5の特徴は、半導体基板と、この半導体基板上に設けられ90度回転した位置関係にある複数の本発明の第2の特徴であるアライメントマークと、半導体基板上に設けられる4つ以上の本発明の第3の特徴である合わせずれ測定用マークとで構成されることによっても同様の効果を得ることができる。これらのことにより、半導体装置等の製造工程の変動によりシリコン窒化膜等の膜厚や溝

の深さ等が変動しても、第1のパターン或いは第2のパターンのどちらかが、光学系のマーク検知器で検知されるので、マーク検出信号強度の最小値が小さくなく、くいアライメントマークと合わせずれ測定用マークを有する半導体ウェーハを提供できる。

【0026】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みとの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参照して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率の異なる部分が含まれるのはもちろんである。

【0027】（実施例1）図1は、本発明の実施例1に係るマークの構成図である。本発明の実施例1に係るマーク3は、マーク検知器の分解能以下の間隔W1である平行な1対の辺を有する長方形の第1のパターン1を5つと、マーク検知器の分解能以下で間隔W1とは異なる間隔W2である平行な1対の辺を有し、この1対の辺の1辺が第1のパターンの1対の辺の1辺とマーク検知器の分解能以下の間隔Wsに接近させて配置される長方形の第2のパターン2を4つとを有する。また、第1のパターン1と第2のパターン2とは隣り合うように交互に並んでいて、5つの第1のパターン1の中心と4つの第2のパターン2の中心は一致するように配置されている。第1のパターン1と第2のパターン2とは、長方形に限らず平行四辺形でもかまわない。なお、図2で説明するアライメントマーク5においては、図1の間隔W1を0.5μmに、間隔W2を0.3μmに、間隔Wsを0.3μmに設定した。

【0028】図2は、本発明の実施例1に係るアライメントマークの構成図である。本発明の実施例1に係るアライメントマーク5は、図1で説明したマーク3を9個有し、9個のマーク3は等間隔で平行に並べられている。

【0029】図3は、本発明の実施例1に係るフォトマスクの上面図である。本発明の実施例1に係るフォトマスクは、ガラス基板6と、このガラス基板6上に設けられる半導体装置等の回路パターン7と、ガラス基板6上に設けられ、90度回転した位置関係にある2つのアライメントマーク5とで構成される。アライメントマーク5は図2で説明したアライメントマークと同一である。

【0030】図4は、本発明の実施例1に係る半導体ウェーハの上面図である。本発明の実施例1に係る半導体ウェーハは、半導体基板8と、この半導体基板8上に設けられる半導体装置等の回路パターン7と、半導体基板8上に設けられ、90度回転した位置関係に配置される複数のアライメントマーク5とで構成される。アライ

メントマーク5は図2で説明したアライメントマークと同一である。

【0031】半導体装置の製造においては、半導体基板8の上に図3に示したフォトマスクを用いたフォトリソグラフィ法で回路パターン7を転写する。この時、アライメントマーク5も半導体基板8上に転写される。次に、半導体基板8の上の回路パターン7に別の回路パターン7を重ねて転写する。この時に、この別の回路のパターン7とウェーハ上のパターン7を重ね合わせるのに、半導体基板8上のアライメントマーク5の位置を検出し、フォトマスクの位置をあらかじめ計測しておくか同時に計測することにより重ね合わせるのに必要な移動量を求め、所望の位置に半導体基板8を移動させて露光することにより、異なる回路パターン7同士を所定の位置関係で重ねる事ができる。

【0032】図5は、半導体基板上に設けられた本発明の実施例1に係るアライメントマーク5のマーク3の図4のI-I方向の断面図の一部である。マーク3は、半導体基板8と、この半導体基板8上に形成されるシリコン窒化膜9と、このシリコン窒化膜9を貫いて半導体基板8に形成される溝状の幅が広く深い第1のパターン1と幅が狭く浅い第2のパターン2とで構成されている。なお、このような断面構造はトレンチキャパシターを有するDRAM等の製造におけるトレンチキャパシターの製造工程で形成されている。第1のパターン1の深さが第2のパターン2より深くなるのは、パターンの溝を形成するためのドライエッチングのマイクロローディング効果によるものと考えられる。

【0033】図6は、シリコン窒化膜の膜厚とマーク検出信号強度の関係を示すグラフである。○印は、本発明の第1の実施例に係るマーク3のマーク検出信号強度をあらわし、△印は、第1のパターンのみでマークを形成した場合のマーク検出信号強度をあらわし、□印は、第2のパターンのみでマークを形成した場合のマーク検出信号強度をあらわす。これより、本発明の第1の実施例に係るマーク3のマーク検出信号強度（○印）は、△印と□印の上下関係に関わらず、△印と□印の中間の値を取ることがわかった。例えば、製造の中心条件をシリコン窒化膜の膜厚が100nmとした場合には、本発明の効果を表す○印は、□印より少し小さいが、膜厚の変化に対して強度の変化が少なく安定してアライメントがとれた。また、図6に示した膜厚に対して、本発明の効果を表す○印は、最小値において、□印より大きく、△印とほぼ同じ大きさになり、最小値が下がりにくい構造になっていると考えられた。

【0034】図7は、第1のパターン1と第2のパターン2を有するマーク3のマーク検出信号強度が、第1のパターン1のみを有するマークと第2のパターン2のみを有するマークのマーク検出信号強度の中間の値になる理由を説明する図である。

【0035】図7(a)は、第1のパターン1によるマーク検出信号強度が第2のパターン2によるマーク検出信号強度より強い場合を現している。光学系のマーク検出装置の検出可能な波長の光の定在波10の波面11が、第1のパターン1の部分とそれ以外の部分で一致せずに、互いの光が干渉することで弱まり、光の弱まらない他の部分に比較して識別可能になる。また、定在波10の波面11が他の部分と一致している第2のパターン2では、第2のパターンは識別できない。したがって、マーク検出信号強度には第1のパターンのみが寄与するが、マーク3は、第1のパターンのみを敷き詰めた場合に比べ第2のパターンを配置した分だけ第1のパターンの数が少ないので、その分だけマーク検出信号強度は小さくなる。

【0036】図7(b)は、第2のパターン2によるマーク検出信号強度が第1のパターン1によるマーク検出信号強度より強い場合を現している。マーク3の形状ではシリコン窒化膜9の膜厚のみが図7(a)と異なり厚くなっている。このことにより、干渉の条件が第1のパターン1と第2のパターンとで図7(a)と逆になっている。

【0037】図7(c)も、第2のパターン2によるマーク検出信号強度が第1のパターン1によるマーク検出信号強度より強い場合を現している。マーク3の形状ではパターン1と2の半導体基板8内の溝の深さD1cとD2cのみが図7(a)の溝の深さD1aとD2aと異なり深くなっている。このことにより、干渉の条件が第1のパターン1と第2のパターンとで図7(a)と逆になっている。

【0038】以上から半導体装置の製造工程の変動によりシリコン窒化膜9の膜厚や溝の深さが変動しても、第1のパターン1或いは第2のパターン2のどちらかが、光学系のマーク検知器で検知されるので、マーク検出信号強度の最小値が小さくなりにくいと考えられた。また、図1に示すマーク3が、マーク検出装置には、5つの第1のパターン1のみが認識できたり、4つの第2のパターン2のみが認識されたりすることになるが、5つの第1のパターン1の中心線と4つの第2のパターン2の中心線とは一致しているので、中心線を用いてアライメントをするのであれば、どちらが認識されようとも同じ位置に位置合わせができる。

【0039】(実施例1の変形例1)図8は、本発明の実施例1の変形例1に係るマークの構成図である。本発明の実施例1の変形例1に係るマーク23は、マーク検知器の分解能以下の間隔W1である平行な1対の辺を有する長方形の第1のパターン21を3つと、マーク検知器の分解能以下の間隔W2でありマーク検知器の分解能以下の長さL2に分割された平行な1対の辺を有し、この1対の辺の1辺が第1のパターンの1対の辺の1辺とマーク検知器の分解能以下の間隔Wsに接近させて配置

される第2のパターン22を2つとを有する。また、第1のパターン21と第2のパターン22とは隣り合うように交互に並んでいて、3つの第1のパターン21の中心と2つの第2のパターン22の中心は一致するように配置されている。第2のパターン22の分割の間隔L5は、第2パターン22の数を多くするために、できるだけ小さくすることが望ましい。

【0040】このマーク23を図2のアライメントマーク5に用いることにより、図6と同等の効果を得ることができた。これは、第1のパターン21と第2のパターン22の間でも溝形成におけるドライエッチングでマイクロローディング効果の小さい大きいが生じているためと考えられる。

【0041】(実施例1の変形例2)図9は、本発明の実施例1の変形例2に係るマークの構成図である。本発明の実施例1の変形例2に係るマーク33は、マーク検知器の分解能以下の間隔W1でありマーク検知器の分解能以下の長さL1に分割された平行な1対の辺を有する第1のパターン31を5つと、マーク検知器の分解能以下の間隔W2でありマーク検知器の分解能以下の長さL2に分割された平行な1対の辺を有し、この1対の辺の1辺が第1のパターンの1対の辺の1辺とマーク検知器の分解能以下の間隔Wsに接近させて配置される第2のパターン32を4つとを有する。また、第1のパターン31と第2のパターン32とは隣り合うように交互に並んでいて、5つの第1のパターン31の中心と4つの第2のパターン2の中心は一致するように配置されている。第1と第2のパターン31と32の分割の間隔Ls1とLs2は、パターン31と32の数を多くするために、できるだけ小さくすることが望ましい。なお、図10で説明するアライメントマーク35においては、図9の間隔W1を0.5μmに、間隔W2を0.3μmに、間隔Wsを0.3μmに、長さL1とL2を1.0μmに、分割の間隔Ls1とLs2を0.4μmに設定した。図10は、本発明の実施例1の変形例2に係るアライメントマーク35の構成図である。本発明の実施例1の変形例2に係るアライメントマーク3は、図9で説明したマーク33を9個有し、9個のマーク33は等間隔で平行に並べられている。

【0042】アライメントマーク35に用いることにより、図6と同等の効果を得ることができた。これは、図9の第1のパターン31と第2のパターン32の間でも溝形成におけるドライエッチングでマイクロローディング効果の小さい大きいが生じているためと考えられる。

【0043】(実施例2)図11は、本発明の実施例2に係るマークの構成図である。本発明の実施例2に係るマーク4は、マーク検知器の分解能以下の間隔W1である平行な1対の辺を有する長方形の第1のパターン4を3つと、マーク検知器の分解能以下で間隔W1とは異なる間隔W2である平行な1対の辺を有し、この1対の辺

の1辺が第1のパターンの1対の辺の1辺とマーク検知器の分解能以下の間隔 W_s に接近させて配置される長方形の第2のパターン4を2つとを有する。また、第1のパターン41と第2のパターン42とは隣り合うように交互に並んでいて、3つの第1のパターン4の中心と2つの第2のパターン4の中心は一致するように配置されている。なお、図12で説明する合わせずれ測定用マーク45においては、図11の間隔 W_1 を $0.5\mu\text{m}$ に、間隔 W_2 を $0.3\mu\text{m}$ に、間隔 W_s を $0.3\mu\text{m}$ に設定した。

【0044】図12は、本発明の実施例2に係る合わせずれ測定用マーク45の構成図である。本発明の実施例2に係る合わせずれ測定用マーク45は、図11で説明したマーク43を4個有し、4個のマーク43は正方形の4辺に沿って並べられている。合わせずれ測定用マーク45は、合わせずれを測定するために、前後して半導体ウェーハ上に形成される合わせずれ測定用マーク45のうち、先に形成されいわゆる主尺とする合わせずれ測定用マークのことを意味している。

【0045】図13は、本発明の実施例2に係るフォトマスクの上面図である。本発明の実施例2に係るフォトマスクは、ガラス基板6と、このガラス基板6上に設けられる半導体装置等の回路パターン7と、ガラス基板6上に設けられ、回路パターン7の外側に設けられる4つの合わせずれ測定用マーク45とで構成される。合わせずれ測定用マーク45は図12で説明した合わせずれ測定用マーク45と同一である。

【0046】図14は、本発明の実施例2に係る半導体ウェーハの上面図である。本発明の実施例2に係る半導体ウェーハは、半導体基板8と、この半導体基板8上に設けられる半導体装置等の回路パターン7と、半導体基板8上で回路パターン7の間に設けられる複数の合わせずれ測定用マーク45とで構成される。合わせずれ測定用マーク45は図12で説明した合わせずれ測定用マーク45と同一である。

【0047】半導体装置の製造においては、半導体基板8の上に図13に示したフォトマスクを用いたフォトリソグラフィ法で回路パターン7を転写する。この時、主尺にする合わせずれ測定用マーク45も半導体基板8上に転写される。次に、半導体基板8の上の回路パターン7に別の回路パターン7を重ねて転写する。この時は、この別の回路のパターン7と副尺にする合わせずれ測定用マーク46が配置されたフォトマスクを使用し、図15に示すように半導体基板8上の主尺とする合わせずれ測定用マーク45の内側にフォトマスク上の副尺とする合わせずれ測定用マーク46が転写される。これら主副の合わせずれ測定用マーク45と46の位置関係をマーク検出装置が搭載された合わせずれ測定装置で測定することで、転写の際のフォトリソグラフィ法の補正が可能になる。

【0048】合わせずれ測定用マーク45に用いることにより、図6と同等の効果を得ることができた。これは、図11の第1のパターン41と第2のパターン42の間でも溝形成におけるドライエッチングでマイクロローディング効果の大小が生じているためと考えられる。また、マーク43が、マーク検出装置には、3つの第1のパターン41のみが認識できたり、2つの第2のパターン42のみが認識されたりすることになるが、3つの第1のパターン41の中心線と2つの第2のパターン42の中心線とは一致しているので、中心線を用いて合わせずれを測定するのであれば、どちらが認識されようとも正味の合わせずれ量が測定できる。

【0049】(実施例2の変形例)図16は、本発明の実施例2の変形例に係るマークの構成図である。本発明の実施例2の変形例に係るマーク53は、マーク検知器の分解能以下の間隔 W_1 でありマーク検知器の分解能以上の長さ L である平行な1対の辺を有する長方形の第1のパターン51を多数と、マーク検知器の分解能以下の間隔 W_2 であり長さ L である平行な1対の辺を有し、この1対の辺の1辺が第1のパターン51の1対の辺の1辺とマーク検知器の分解能以下の間隔 W_s に接近させて配置される第2のパターン52を多数とを有する。また、第1のパターン51と第2のパターン52とは隣り合うように交互に並んでいて、多数の第1のパターン51の平行な1対の辺の両辺の両端点と、多数の第2のパターン52の平行な1対の辺の両辺の両端点とは直線上に配置されている。なお、図17で説明する合わせずれ測定用マーク55においては、図16の間隔 W_1 を $0.5\mu\text{m}$ に、間隔 W_2 を $0.3\mu\text{m}$ に、間隔 W_s を $0.3\mu\text{m}$ に、長さ L を $2.0\mu\text{m}$ に、第1のパターン51の個数を15個に、第2のパターン52の個数を14個に設定した。図17は、本発明の実施例2の変形例に係る合わせずれ測定用マーク55の構成図である。本発明の実施例2の変形例に係る合わせずれ測定用マーク55は、図16で説明したマーク53を4個有し、4個のマーク53は正方形の4辺に沿って並べられている。

【0050】合わせずれ測定用マーク55に用いることにより、図6と同等の効果を得ることができた。これは、図16の第1のパターン51と第2のパターン52の間でも溝形成におけるドライエッチングでマイクロローディング効果の大小が生じているためと考えられる。また、マーク53が、マーク検出装置には、15個の第1のパターン51のみが認識できたり、14個の第2のパターン52のみが認識されたりすることになるが、15個の第1のパターン51の中心線と14個の第2のパターン52の中心線とは一致しているので、中心線を用いて合わせずれを測定するのであれば、どちらが認識されようとも正味の合わせずれ量が測定できる。

【0051】(実施例3)図18は、本発明の実施例3に係るフォトマスクの上面図である。本発明の実施例3

に係るフォトマスクは、ガラス基板 6 と、このガラス基板 6 上に設けられる半導体装置等の回路パターン 7 と、ガラス基板 6 上に設けられ、90 度回転した位置関係にある 2 つのアライメントマーク 5 と、ガラス基板 6 上に設けられ、回路パターン 7 の外側に設けられる 4 つの合わせずれ測定用マーク 4 5 とで構成される。アライメントマーク 5 は図 2 で説明したアライメントマークと同一である。合わせずれ測定用マーク 4 5 は図 12 で説明した合わせずれ測定用マーク 4 5 と同一である。

【0052】図 19 は、本発明の実施例 3 に係る半導体ウェーハの上面図である。本発明の実施例 3 に係る半導体ウェーハは、半導体基板 8 と、この半導体基板 8 上に設けられる半導体装置等の回路パターン 7 と、半導体基板 8 上に設けられ、90 度回転した位置関係に配置される複数のアライメントマーク 5 と、半導体基板 8 上で回路パターン 7 の間に設けられる複数の合わせずれ測定用マーク 4 5 とで構成される。アライメントマーク 5 は図 2 で説明したアライメントマークと同一である。合わせずれ測定用マーク 4 5 は図 12 で説明した合わせずれ測定用マーク 4 5 と同一である。

【0053】半導体装置の製造においては、半導体基板 8 の上に図 3 に示したフォトマスクを用いたフォトリソグラフィ法で回路パターン 7 を転写する。この時、アライメントマーク 5 と合わせずれ測定用マーク 4 5 も半導体基板 8 上に転写される。次に、半導体基板 8 の上の回路パターン 7 に別の回路パターン 7 を重ねて転写する。この時も、この別の回路のパターン 7 とアライメントマーク 5 と合わせずれ測定用マーク 4 5 が配置されたフォトマスクを使用する。半導体基板 8 上のアライメントマーク 5 とフォトマスク上のアライメントマーク 5 の光学的な位置合わせを、マーク検出装置が搭載されたアライメント装置で行うことにより、半導体基板 8 の上に異なる回路パターン 7 同士を所定の位置関係で重ねる事ができる。さらに、この重ねられた合わせずれ測定用マーク 4 5 のずれをマーク検出装置が搭載された合わせずれ測定装置で測定することで、転写の際のフォトリソグラフィ法の補正が可能になる。

【0054】アライメントマーク 5 と合わせずれ測定用マーク 4 5 に用いることにより、図 6 と同等の効果を得ることができた。また、マーク 3 とマーク 4 3 が、マーク検出装置には、第 1 のパターン 1 と 4 1 のみが認識できたり、第 2 のパターン 2 と 4 2 のみが認識されたりすることになるが、第 1 のパターン 1 の全数の中心線と第 2 のパターン 2 の全数の中心線とは一致しており、第 1 のパターン 4 1 の全数の中心線と第 2 のパターン 4 2 の全数の中心線とは一致しているので、中心線を用いてマークの位置を検出するのであれば、どちらが認識されようとも正味の位置が測定できる。

【0055】(その他の実施の形態) 上記のように、本発明の実施の形態を記載したが、この開示の一部をなす

論述及び図面はこの発明を限定するものであると理解すべきでない。この開示から当業者には様々な代替しうる実施の形態、実施例及び運用技術が明らかになる。

【0056】既に述べた実施の形態の説明においては、溝形状のパターンについて述べたが、プラグ上のリセスでパターンを構成した場合でも有効である。

【0057】この様に、本発明はここでは記載していない様々な実施の形態を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

【0058】

【発明の効果】以上述べたように、本発明によれば、半導体装置の製造工程等が変動して光の干渉条件が変化しても、光学系のマーク検出器で認識可能なマークを提供できる。

【0059】本発明によれば、半導体装置の製造工程等が変動して光の干渉条件が変化しても、光学系のマーク検出器で認識可能なアライメントマークを提供できる。

【0060】本発明によれば、半導体装置の製造工程等が変動して光の干渉条件が変化しても、光学系のマーク検出器で認識可能な合わせずれ測定用マークを提供できる。

【0061】本発明によれば、半導体装置の製造工程等が変動して光の干渉条件が変化しても、光学系のマーク検出器で認識可能なフォトマスクを提供できる。

【0062】最後に、本発明によれば、半導体装置の製造工程等が変動して光の干渉条件が変化しても、光学系のマーク検出器で認識可能な半導体ウェーハを提供できる。

【図面の簡単な説明】

【図 1】本発明の実施例 1 に係るマークの構成図である。

【図 2】本発明の実施例 1 に係るアライメントマークの構成図である。

【図 3】本発明の実施例 1 に係るフォトマスクの上面図である。

【図 4】本発明の実施例 1 に係る半導体ウェーハの上面図である。

【図 5】半導体基板上に設けられた本発明の実施例 1 に係るアライメントマークの断面図の一部である。

【図 6】シリコン窒化膜の膜厚とマーク検出信号強度の関係を示すグラフである。

【図 7】第 1 のパターンと第 2 のパターンを有するマークのマーク検出信号強度が、第 1 のパターンのみを有するマークと第 2 のパターンのみを有するマークのマーク検出信号強度の中間の値になる理由を説明する図である。

【図 8】本発明の実施例 1 の変形例 1 に係るマークの構成図である。

【図9】本発明の実施例1の変形例2に係るマークの構成図である。

【図10】本発明の実施例1の変形例2に係るアライメントマークの構成図である。

【図11】本発明の実施例2に係るマークの構成図である。

【図12】本発明の実施例2に係る合わせずれ測定用マークの構成図である。

【図13】本発明の実施例2に係るフォトマスクの上面図である。

【図14】本発明の実施例2に係る半導体ウェーハの上面図（その1）である。

【図15】本発明の実施例2に係る半導体ウェーハの上面図（その2）である。

【図16】本発明の実施例2の変形例に係るマークの構成図である。

【図17】本発明の実施例2の変形例に係る合わせずれ測定用マーク55の構成図である。

【図18】本発明の実施例3に係るフォトマスクの上面図である。

【図19】本発明の実施例3に係る半導体ウェーハの上*

* 面図である。

【図20】従来のアライメントマークの構成図である。

【図21】パターンを有するマークが、光学系のマーク検知器では認識できない理由を説明する図である。

【図22】パターンの幅とパターンの深さの関係と、パターンの幅とマーク検出信号強度の関係を示すグラフである。

【符号の説明】

1、21、31、41、51 第1のパターン

2、22、32、42、52 第2のパターン

3、23、33、43、53、63 マーク

4 マーク領域

5、35、65 アライメントマーク

6 ガラス基板

7 回路パターン

8 半導体基板

9 シリコン窒化膜

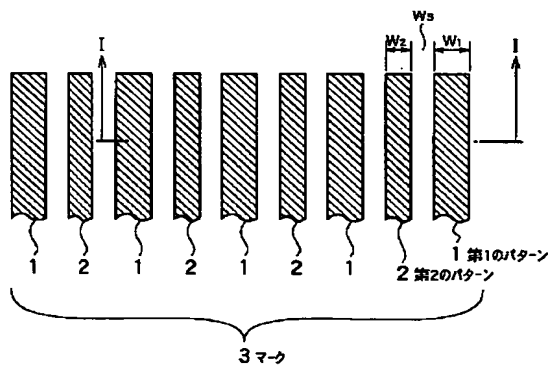
10 定在波

11 波面

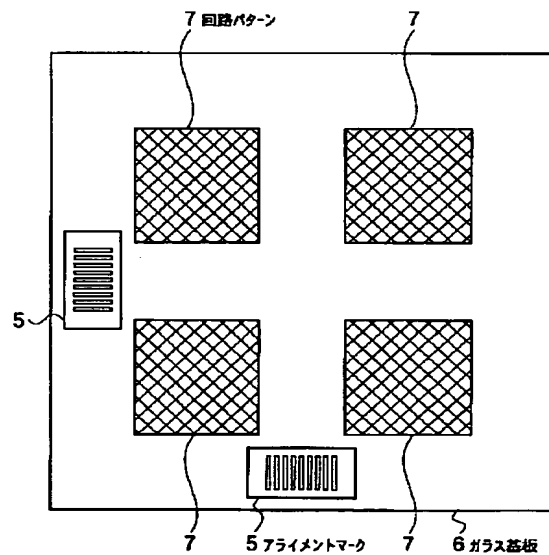
45、46、55 合わせずれ測定用マーク

61 パターン

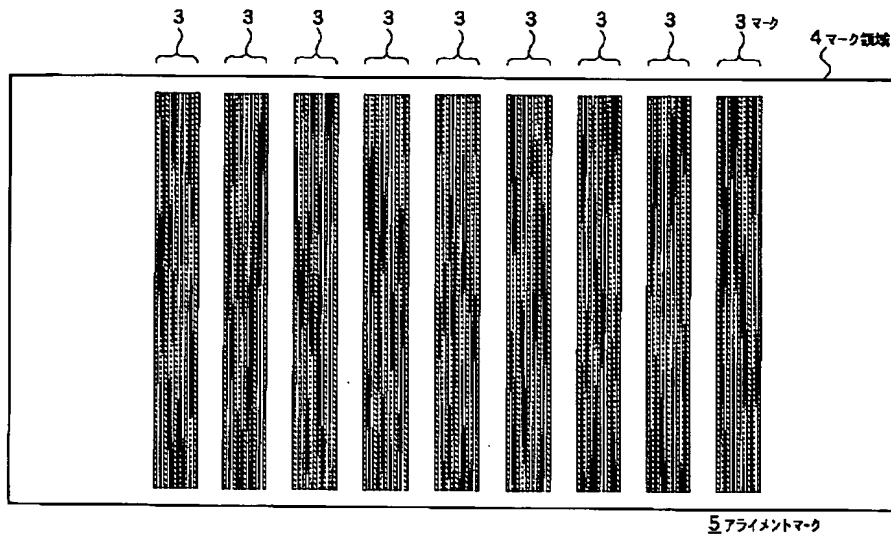
【図1】



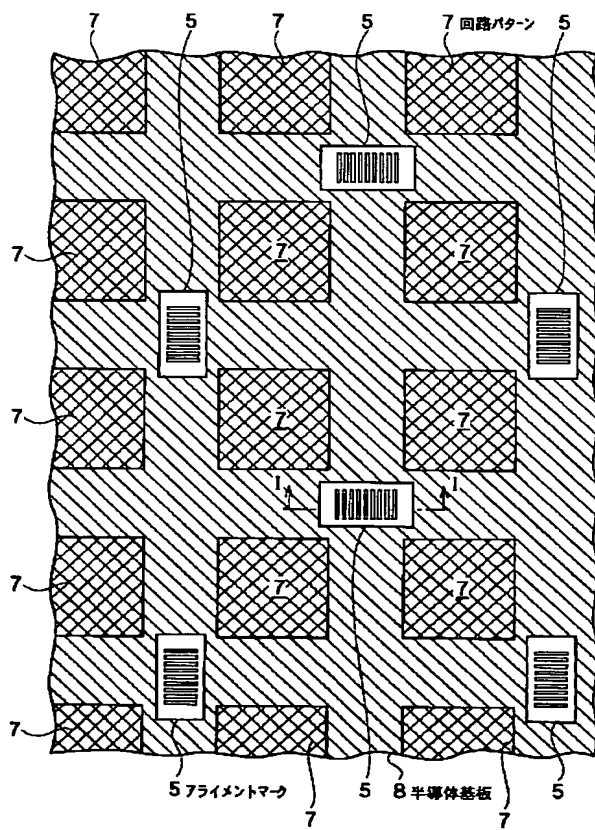
【図3】



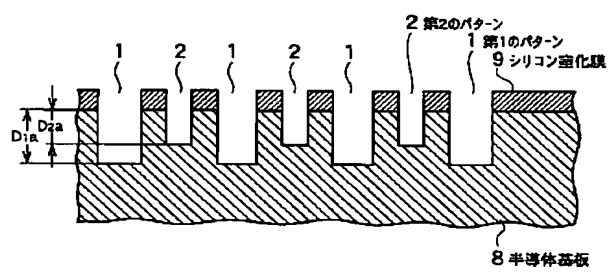
【図2】



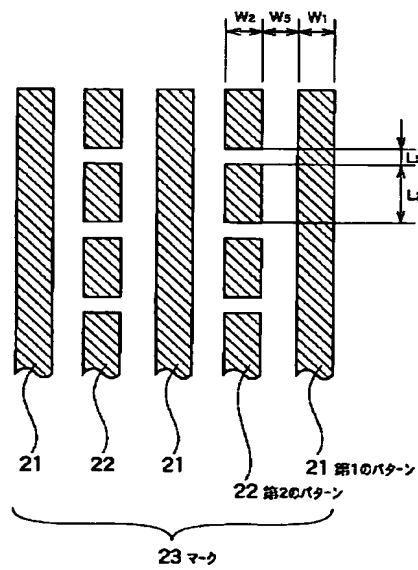
【図4】



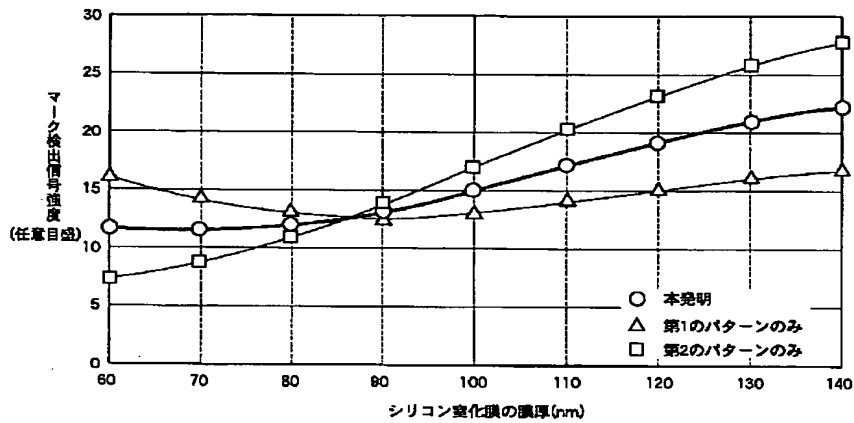
【図5】



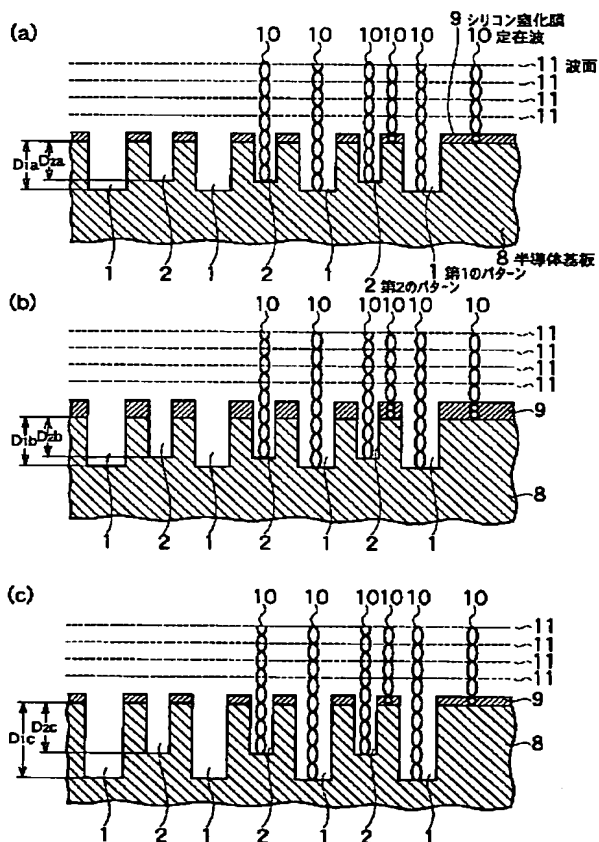
【図8】



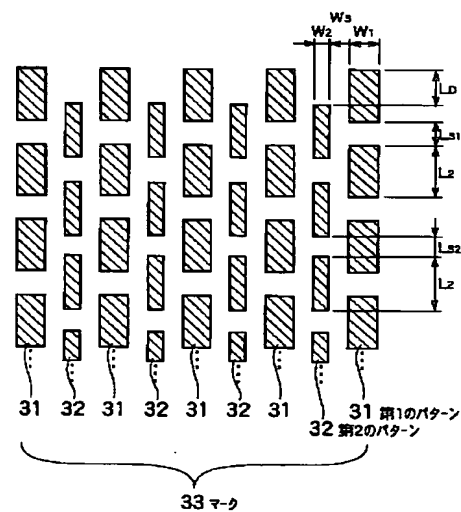
【図6】



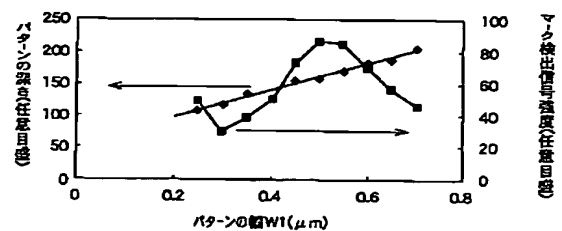
【図7】



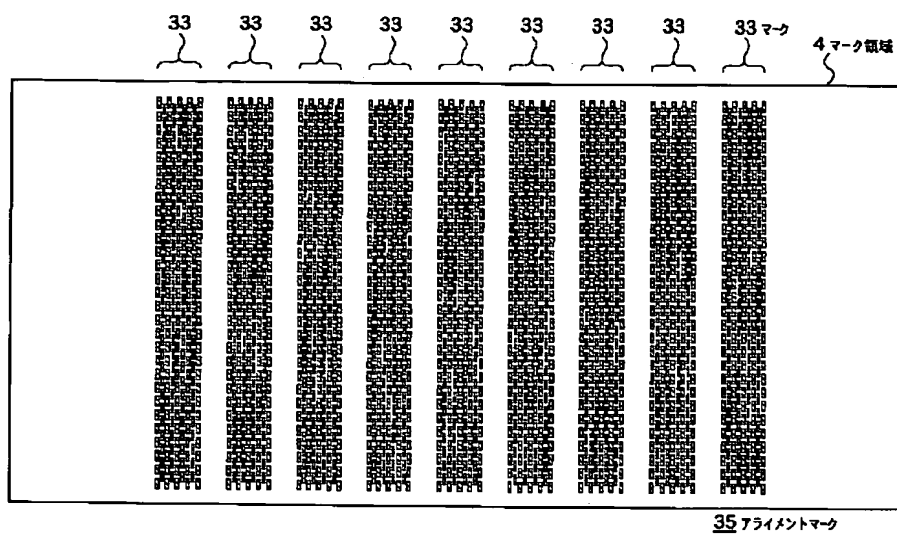
【図9】



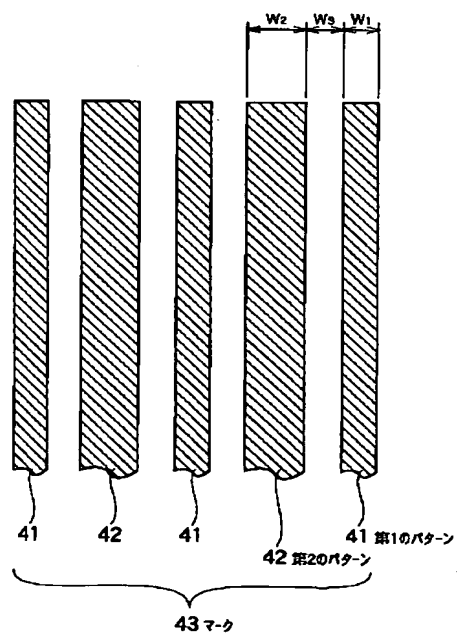
【図22】



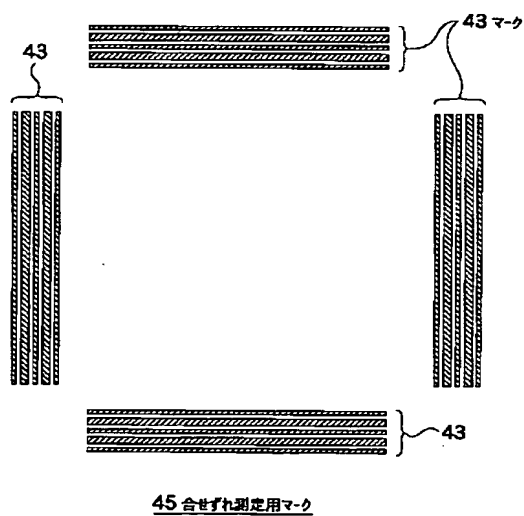
【図10】



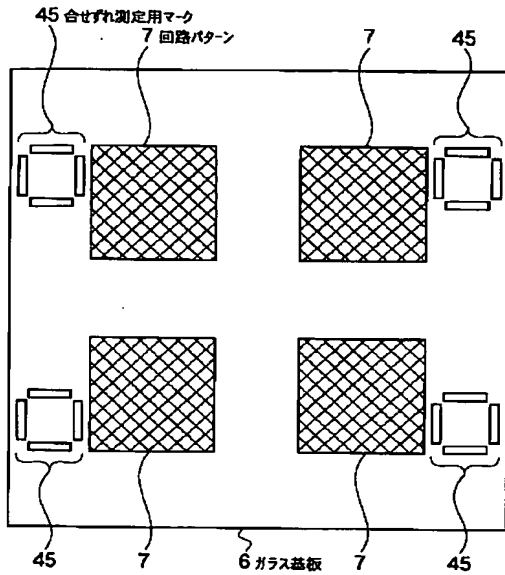
【図11】



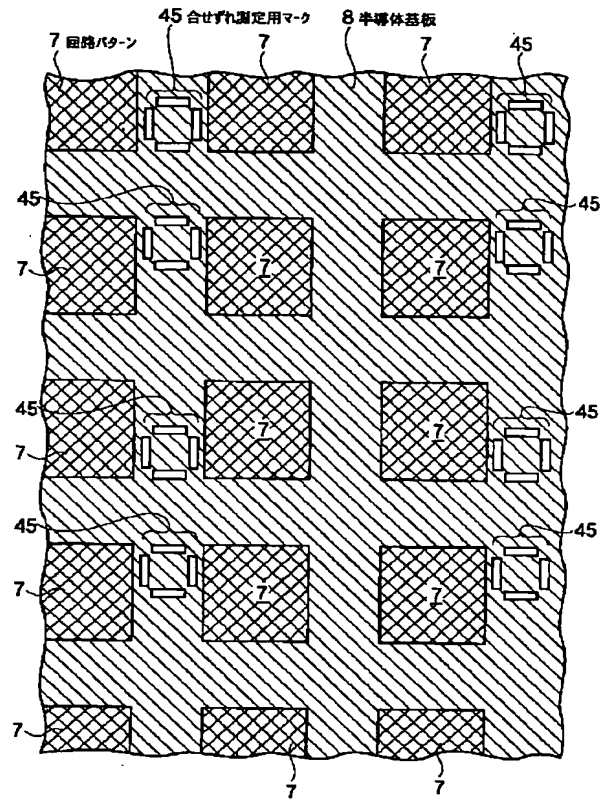
【図12】



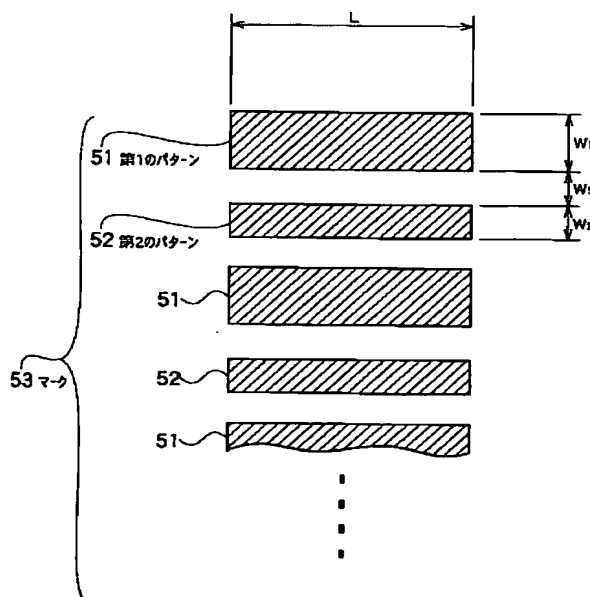
【図13】



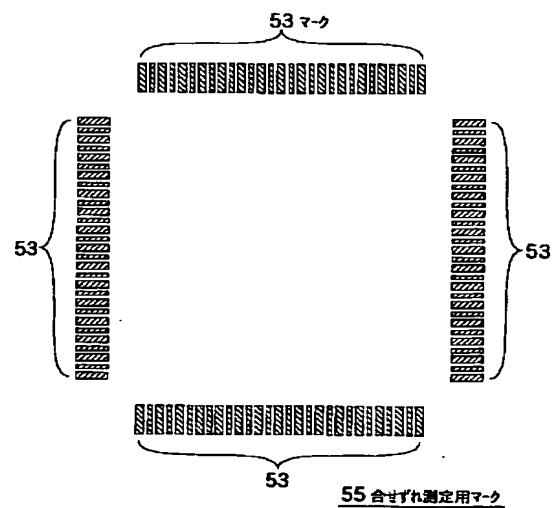
【図14】



【図16】

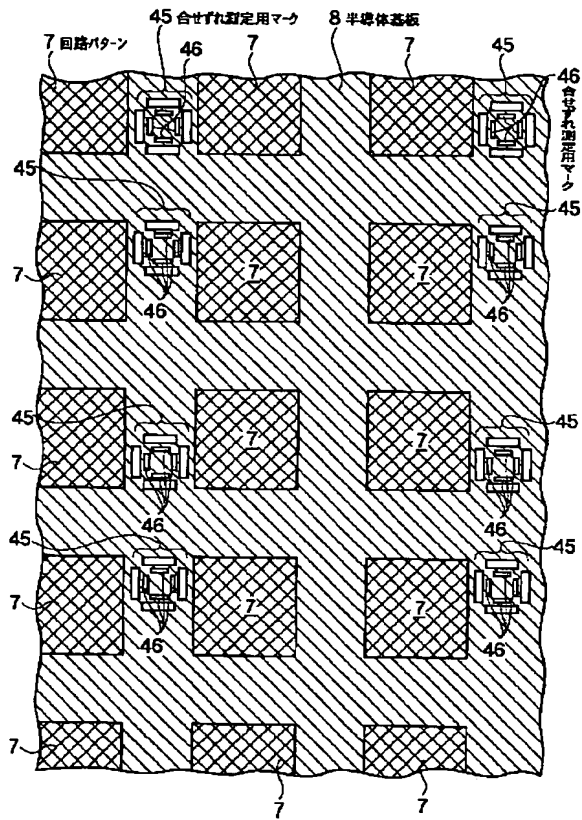


【図17】

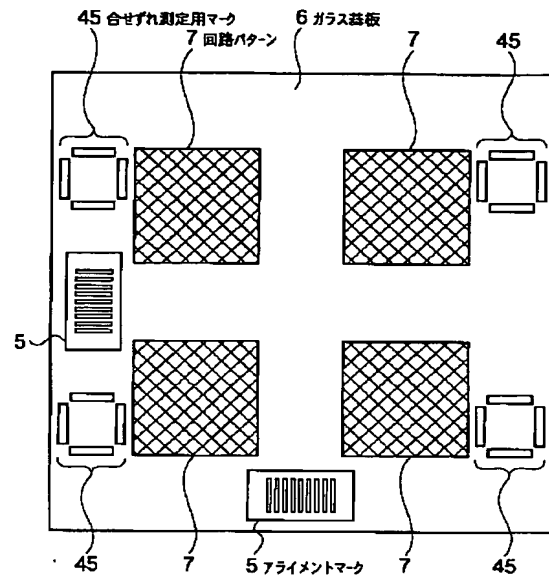


55 合せずれ測定用マーク

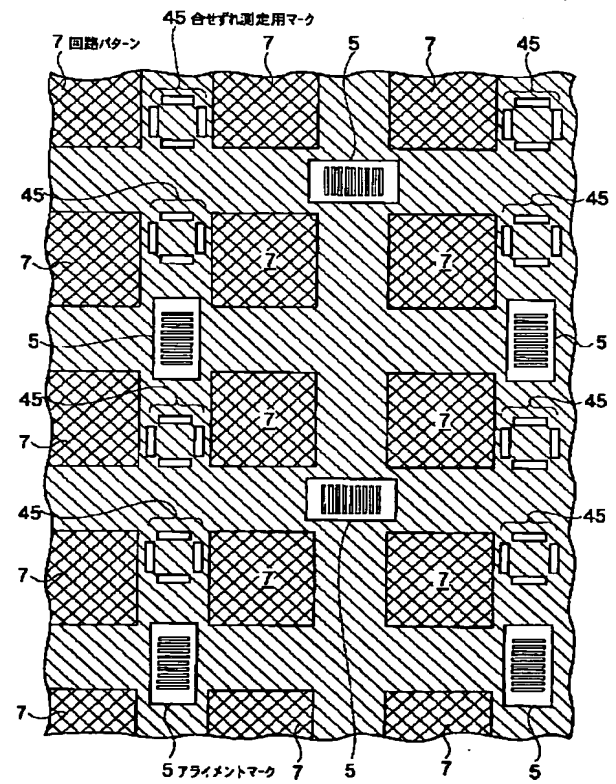
【図15】



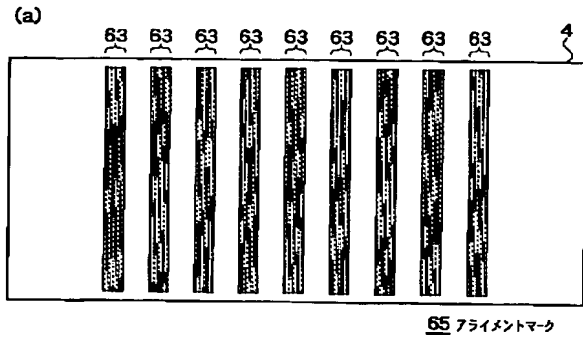
【図18】



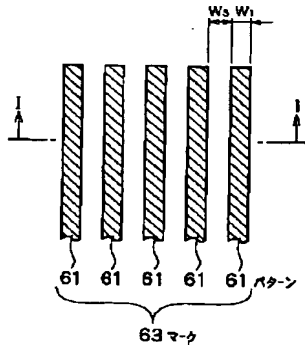
【図19】



【図20】



(b)



【図21】

